

PIN DIODE

Publication number: JP57128983 (A)

Publication date: 1982-08-10

Inventor(s): KASHIMURA TAKESHI

Applicant(s): NIPPON ELECTRIC CO

Classification:

- **international:** *H01L25/07; H01L29/861; H01L29/864; H01L29/868; H01L25/07; H01L29/66; (IPC1-7): H01L25/04; H01L29/90*

- **European:** H01L29/868

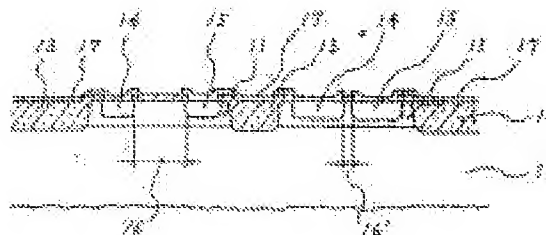
Application number: JP19810014157 19810202

Priority number(s): JP19810014157 19810202

Abstract of **JP 57128983 (A)**

PURPOSE: To obtain a small-sized PIN diode device, which can easily be mounted, by forming a plurality of the PIN diodes, which have different characteristics, particularly, the different thickness of the i layers, into the same chip.

CONSTITUTION: The insulating layers 13 of oxide layers, etc. are shaped until they reach a P type high resistance substrate 10 except a region 12 in which the diodes are formed in order to electrically separate each PIN diode by using the semiconductor wafer shaped by growing an N type high resistance layer 11 on said P type substrate 10 in an epitaxial form. P<+> Layers 14 and N<+> layers 15 are each molded into the region 12, in which the diodes are formed, through diffusion, etc. The spaces 16, 16' of the P<+> layers 14 and the N<+> layers 15 are used as the thickness of the i layers, and the impedance characteristics of each PIN diode are determined by severally making these spaces differ.



~~~~~  
Data supplied from the **esp@cenet** database — Worldwide

## ⑫ 公開特許公報 (A)

昭57—128983

⑤ Int. Cl.<sup>3</sup>

H 01 L 29/91

25/04

// H 01 L 29/90

識別記号

庁内整理番号

6749—5F

7638—5F

7357—5F

⑬ 公開 昭和57年(1982)8月10日

発明の数 1

審査請求 未請求

(全 3 頁)

## ⑭ PINダイオード

東京都港区芝五丁目33番1号日

本電気株式会社内

⑯ 特 願 昭56—14157

⑰ 出 願 人 日本電気株式会社

⑱ 出 願 昭56(1981)2月2日

東京都港区芝5丁目33番1号

⑲ 発 明 者 梶村武史

⑳ 代 理 人 弁理士 内原晋

## 明 細 書

## 1. 発明の名称

PINダイオード

## 2. 特許請求の範囲

所定の導電型を有する高比抵抗半導体層を電気的に分離して複数の高比抵抗領域を設け、これらのうち少なくとも2つの領域は夫々互いに離間された導電型の第1の高濃度不純物層と反対導電型の第2の高濃度不純物層とを有し、その離間幅は異なるように設定されていることを特徴とするPINダイオード。

## 3. 発明の詳細な説明

本発明はPINダイオードに関し、特に複数のPINダイオードを有する複合ダイオードの構造に関する。

PINダイオードは高周波帯域での使用において、スイッチ、AGC、変調、パワーリミッティ

ング等広い応用をもった素子である。これは真性半導体に近い高比抵抗を有するi層のコンダクタンスの変化を利用する可変抵抗素子である。従って、このPINダイオードの特性を左右する主な要素はi層の厚さである。それぞれの応用においては使用周波帯、入力電力、アイソレーション、挿入損失等の要求特性から種々のi層をもったPINダイオードが作られている。最近では要求特性を満足するために、しばしばi層の異なるダイオードを複数個使用する複合ダイオードの要求が高まっている。例えば、第1図に示すようなスイッチ回路において、1段目のダイオード1は大電力が印加されるのでi層の厚いものが、又、2段目のダイオード2やダイオード3はアイソレーションを大きくするためや、挿入損失を小さくするために比較的i層の薄いものが必要である。従来、このような回路はi層の異なる個別のPINダイオード装置を組み合わせることによって構成していた。この場合、装置を小型化するという点で難がある。しかも、従来作成されている個別のダ

イオードベレットは、第2図(a)に示すように所定の厚さの1層4の両面に $P^+$ 層5と $n^+$ 層6を形成したものや、(b)に示すように $n^+$ 半導体基板7に所定の厚さの1層8をエピタキシャル成長しその上に $p^+$ 層9を形成したものである。従って、1チップ内に互いに異なる厚さの1層を同時に作り込むことは不可能であった。

本発明の目的は同一チップ内に特性の異なる、特に1層の厚さの異なる複数個のPINダイオードを有する複合PINダイオードを提供することである。

以下、本発明の一実施例を図面をもとに説明する。第3図は本発明の一実施例による複合PINダイオードのチップ平面図、第4図はそのA-A'断面図である。これは、P型高抵抗基板10上にn型の高抵抗層11がエピタキシャル成長された半導体ウェハを用いて、各PINダイオードを電氣的に分離するためにダイオードを形成する領域12を除いて、上記p型基板10に到達するまで酸化物層等の絶縁層13が形成されている。そ

して上記ダイオードを形成する領域12内に $p^+$ 層14を $n^+$ 層15を夫々拡散等によって形成する。この $p^+$ 層14と $n^+$ 層15の間隔16,16'を1層の厚さとして使用して、これらの間隔を夫々異ならしめることによって各PINダイオードのインピーダンス特性を決定する。その後所定の電極配線17を施して複合PINダイオードチップを形成したものである。

本実施例によると通常のPR方法によってそれぞれの目的に応じた種々のインピーダンス特性、例えば大電力を入力するPINダイオードは間隔を大きくとり、小さな挿入損失を要するものは間隔を小さくとり等して、複数のPINダイオードを同一チップ上に簡単製造することが出来る。この結果小型でかつ実装容易な複合PINダイオード装置を安価に供給することが可能となる。

尚、本発明はPINダイオードの動作領域をチップに対して横方向に用い、1層として動作する領域の間隔を異ならしめるようにしたもので、各PINダイオード間の絶縁手段としてはガラスや

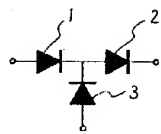
$SiO_2$ 等任意の手段を採用することができる。

#### 4. 図面の簡単な説明

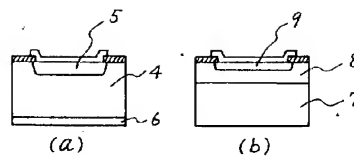
第1図はダイオードを使用したT型スイッチ回路図、第2図(a)(b)は夫々従来の縦型PINダイオードのチップ断面図、第3図は本発明の一実施例を示すチップ平面図、第4図はその断面図である。

1, 2, 3…PINダイオード、4…高抵抗半導体、5… $p^+$ 拡散層、6… $n^+$ 拡散層、7…低抵抗半導体基板( $n^+$ )、8…高抵抗エピタキシャル層、9… $p^+$ 拡散層、10…p型高抵抗基板、11…n型高抵抗エピタキシャル層、12…それぞれが電氣的に分離されたダイオードを形成するアイランド、13…酸化膜等、14… $p^+$ 拡散層、15… $n^+$ 拡散層、16…1層の長さ、17…配線用金属。

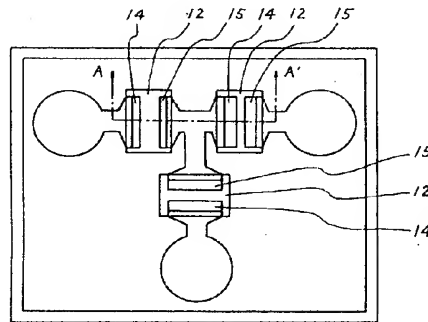
代理人 弁理士 内 原 晋



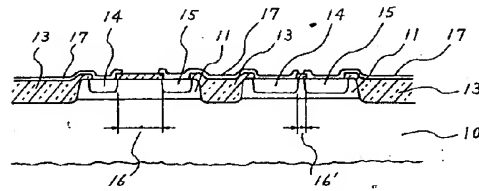
第 1 図



第 2 図



第 3 図



第 4 図